

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-120043

(43)Date of publication of application : 01.06.1987

(51)Int.Cl.

H01L 21/82

H01L 21/88

(21)Application number : 60-260489

(71)Applicant : FUJITSU LTD

(22)Date of filing : 20.11.1985

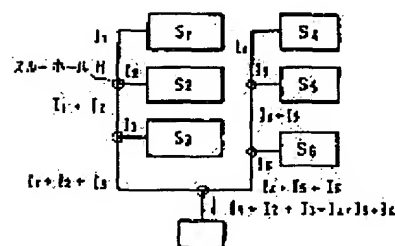
(72)Inventor : FUJITA KOICHI
IWATA SANAÉ

(54) AUTOMATIC WIRING SYSTEM

(57)Abstract:

PURPOSE: To fully automatically wire together with power source wirings in an LSI chip by temporarily wiring power source wirings with logic information and figure information without width, calculating current values flowing in each circuit block, obtaining the values flowing in the blocks, and deciding the width proportional to the current values for each pass.

CONSTITUTION: The areas of blocks S1WS6 are calculated by shape information of the blocks of figure information. Here, assume that $I_{cc}=K.S$ (where K is a constant) is satisfied, the currents I_{cc} of the blocks are calculated to obtain current values I1WI6. Then, the all blocks S1WS6 are temporarily connected. Here, a normal automatic wiring is used by a computer, and actually necessary wiring pattern is assigned on the virtual mesh that the pitch of the wirings is one grid to wire it. The pitch of the wirings is the sum of the intervals of the pattern width of layout rule determined by the process technology of the LSI. Then, the current values I1WI6 are added in the order from the farthest pass to the pad to decide the width.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision of
rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-120043

⑬ Int. Cl.⁴

H 01 L 21/82
21/88

識別記号

庁内整理番号

8526-5F
6708-5F

⑭ 公開 昭和62年(1987)6月1日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 自動配線方式

⑯ 特 願 昭60-260489

⑰ 出 願 昭60(1985)11月20日

⑱ 発 明 者 藤 田 鋼 一 川崎市中原区上小田中1015番地 富士通株式会社内
⑲ 発 明 者 岩 田 さ な え 川崎市中原区上小田中1015番地 富士通株式会社内
⑳ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地
㉑ 代 理 人 弁 理 士 玉 島 久 五 郎 外 1 名

明 細 書

1. 発明の名称

自動配線方式

2. 特許請求の範囲

(1) 論理情報と図形情報を用いて、電源線を幅なしバスで仮配線する処理と、

各回路ブロックを流れる電流値を算出し、図形情報又は論理情報を用いて、各回路ブロックに流れる電流値を求める処理と、

各バスについて電流値に比例した幅を決定する処理と、

末端のバスから順に幅付けを行なう処理とを含む電源線を自動配線することを特徴とする自動配線方式。

(2) 前記電流値の算出が図形情報を用いて各回路ブロックの面積を計算し、それに基づき回路ブロックに流れる電流値を求める処理により行なわれることを特徴とする特許請求の範囲第1項記載の自動配線方式。

(3) 前記電流値の算出が論理情報を用いて各回路ブロックのトランジスタ数或いはゲート数を計算しそれに基づき回路ブロックに流れる電流値を求める処理により行なうことを特徴とする特許請求の範囲第1項記載の自動配線方式。

3. 発明の詳細な説明

(概要)

電流値に応じた配線パターンの幅付けを行なう自動配線方式であり、LSIチップ内の電源線を含む全自動配線を可能とする。

(産業上の利用分野)

本発明はLSIの自動配線方式に係り、特にLSIチップ内の電源線に適切な幅を持たすことができる自動配線方式に関する。

(従来の技術)

最近ではLSI内の回路ブロック間の信号線の配線を、計算機による自動配線で行なうことがな

されている。その場合、ブロック間配線を2層の導体(例えばA2)で各層毎に水平(X)方向/垂直(Y)方向に割当てて。そして、配線のピッチを1グリッドとする仮想メッシュ上に、実際に必要な配線パターンを割当てて結線していく。なお、この配線のピッチはLSIのプロセステクノロジーで決めるレイアウト・ルールのパターン幅と間隔の和である。

電源線については、導体を流れる電流値がある電流密度の基準値を越えた部分でエレクトロマイグレーションが発生し配線が切れてしまうことがあるため、各電源線部分を流れる電流値に応じた適当な太さで配線する必要がある。

しかし、上記自動配線では通常パターンの幅が一定であり、電源配線パターンに上述の最適化を考えたパターン幅を期待することは困難であった。そのため従来、電源線については、設計者の計算及び経験に基づくマニュアル作業に頼ることが殆どであり、各ブロックの消費電力を計算しながら合流点で配線幅を流れる電流値に応じて太くし

ながら配線していた。

第4図にその例を示しており、一般に電源配線だけマニュアルで行ない、LSI内の電源配線(V_{cc} 、 V_{ss} 、GND等)は、末端(回路ブロックa~h)からボンディング・パッドに向かって電流値に応じて太くしていくことが常識的に行なわれている。

或いは第5図に示すように(回路ブロックa'~b')最初から最悪条件を仮定した太い一定幅の電源ラインを引くことを前提に、その他の一般信号を自動配線することも行なわれる。

(発明が解決しようとする問題点)

しかしながら、マニュアル配線は手間がかかり、また、最悪条件を仮定した太い一定幅の電源ラインを引くことは電源配線の占有面積を増大せしめ、その結果配線効率が悪くなり集積度向上の妨げになるという問題がある。

(問題点を解決するための手段)

本発明においては、LSIチップにおいて、適切な電源配線の幅を持つことができる完全自動配線方式を提供するものであり、論理情報と図形情報を用いて、電源線を幅なしバスで仮配線する処理と、

各回路ブロックを流れる電流値を算出し、図形情報又は論理情報を用いて、各回路ブロックに流れる電流値を求める処理と、

各バスについて電流値に比例した幅を決定する処理と、

末端のバスから順に幅つけを行なう処理とを含む電源線の自動配線方式を提供する。

(作用)

通常、自動配線を行なう時に計算機に入れる情報としては、図形情報と論理情報がある。

図形情報には回路ブロックの形状、端子位置、及び回路ブロックの相互位置関係がある。これだけで、特に電流値情報がないが、LSIチップと

して、例えばこれからの主流であるCMOSを考えると、CMOS回路の特性として電源電流 I_{cc} が次の式に従うことが良く知られている。

$$I_{cc} \propto f \cdot V_{cc} \cdot CL$$

(f は動作周波数、 CL は負荷容量、 V_{cc} は電源電圧)

ここで、負荷容量 CL はトランジスタのゲート容量および配線容量から成っているので、回路ブロックの全体が平均的な動作をし、集積密度も一定ならば $CL \propto S$ (ブロック面積)となり、ランダム・ロジックの一次近似として、

$$I_{cc} = k \cdot S \quad (k \text{ は定数})$$

が成り立つ。ここで S は回路ブロックの形状情報から容易に求められるので、電流計算が可能である。

第1図に本発明をフローチャートで表しており①論理情報と図形情報1を用いて、処理2で電源線を幅なしバスで仮配線する。

②処理3で各ブロックを流れる電流値を算出する。その際図形情報を用いて、各ブロックの面積を

計算し、それを基に各ブロックに流れる電流値を求める。

なお、この①と②は順序が逆でも良い。

④処理4で各バスについて電流値に比例した幅を決定する。

⑤処理5で末端のバスから順に幅付けを行なう。

ここで、通常の自動配線(グリッド単位の配線)を用いる関係で、電源線の幅付けはグリッドの整数倍でできるパターン幅になる。

なお、以上ではCMOS回路の電源電流 I_{cc} を回路ブロックの面積 S に比例すると仮定したが I_{cc} の精度を上げるためには、

$I_{cc} = k' \cdot S \cdot D$ (k' : 定数、 D : 集積密度) のようにパラメータを追加しても良い。

以上図形情報から回路ブロックの電流値を算出することを示したが、これを論理情報から算出することもできる。

論理情報には回路ブロック名と端子名により、論理上の接続情報が全て定義されたデータが格納されている。従って論理情報を用いて各回路ブ

ック内のトランジスタ数或いはゲート数を計算しそれに基づき回路ブロックに流れる電流値を求める処理を行なうことが可能である。

(実施例)

第2図に本発明方式を実行する装置を系統的に示す。第2図において、21~25は記憶装置であり、記憶装置(1)21には前記第1図のフローチャートに示した処理を行なうためのプログラムが格納されている。記憶装置(2)22には論理上の接続情報即ちブロック名と端子名により、論理上の接続情報がすべて定義されたデータ(論理情報)が格納されている。記憶装置(3)23にはブロックの形状、大きさと、端子の位置、それに全ブロックの相対位置関係のデータ(図形情報)が格納されている。記憶装置(4)24には、グリッドベースの配線座標データ(仮配線結果)を格納する。

中央処理装置CPU26は随時記憶装置(1)21のプログラムを読出し、その手順により、記憶装置(2)22の論理情報と記憶装置(3)23の図形情報

を読出し、該論理情報及び図形情報を前提条件として用い、記憶装置(1)21から読出したプログラムで配線処理を行ない、電源線の仮配線バスを決定する。配線ルートが決るたびに、CPU26はそのルートを記憶装置(4)24に記憶する。次の結線ルートを探すときには、既に決定しているルートは禁止バスとなって、同じルートを通ることは不可能である。この禁止条件は1本配線する毎に変化するので、「禁止条件を読出しては結果のルートを書込む」手順を繰返すことになる。続いて、同様に記憶装置(1)のプログラムで各バスの幅付けを計算し、必要幅を算出し、記憶装置(5)25に格納する。記憶装置25は記憶装置(4)の結果より、末端バスから順に、要求された幅付けをした電源線を決定する。この時、「 V_{cc} ラインと V_{ss} ラインとは接触しない」等のチェックをしながら決定するため、「禁止条件を読出しては結果のルートを書込む」手順を繰返す。なお、仮バスの決定と各ブロックの面積計算は順序を逆にしても良い。

上記においては記憶装置21~25は別々の記憶装

置のように示しているが、通常のシステムとしては、21~25の記憶装置は同一の装置(例えば磁気ディスク)上に領域を分割して作られることが多い。

第3図Aに実施例のフローチャートを示している。このフローに従い、第3図BのCMOS回路ブロック $S_1 \sim S_n$ のブロックに電源線を自動配線する例を以下に説明する。

i) まず、前記図形情報のうち、ブロックの形状情報を用い、各ブロック $S_1 \sim S_n$ の面積を計算する。ここで、前記のように、

$$I_{cc} = k \cdot S \quad (k \text{ は定数})$$

が成り立つものとして、各ブロックの電流 I_{cc} を計算し、電流値 $I_1 \sim I_n$ を求める。

ii) 全ブロック $S_1 \sim S_n$ の仮結線を行なう。ここで、通常の電子計算機による自動配線を用い、ブロック間配線を2層の導体(例えばA4)で各層毎に水平(X)方向/垂直(Y)方向に割当て、両者の配線をスルーホールで行なうものとし、配線のピッチを1グリッドとする仮想メッシュ上

に、実際に必要な配線パターンを割当てて結線していく。なお、この配線のピッチはLSIのプロセステクノロジーで決るレイアウト・ルールのパターン幅と間隔の和である。

ii) パッドに遠いバスから順に電流値 $I_1 \sim I_n$ を加算して、幅付けを行なう。このとき、通常の計算機による自動配線で行なう関係で、幅付けはグリッドの整数倍で出来るパターン幅になる。

その後は通常の自動配線と同様であり、各ブロック内のパターン情報であるブロックセルパターン情報とブロック間の信号線の配線情報(通常の自動配線の手法で得る)と本実施例で得た電源線配線情報を合成し、LSIパターンデータを作製する。

(発明の効果)

本発明の自動配線方式は全自動で電源線を含む回路ブロック間の全配線の自動化を可能とし、電源線を最適に設計することができるので、パターン面積の無駄がなく、集積度の向上が可能になる。

しかも、本発明の自動配線方式は従来の自動配線プログラムに特別の情報を付け加えることなく実行できる利点があり、従来の自動配線プログラムに組み込み易い。

4. 図面の簡単な説明

第1図は本発明の概念を示すフローチャート、第2図は本発明の実施例のブロック構成図、第3図Aは本発明の実施例の流れ図、第3図Bは本発明の実施例の計算及び配線を示す図、第4図は従来例1のパターンを示す図、第5図は従来例2のパターンを示す図

主な符号

21~25: 記憶装置(1)~(5)

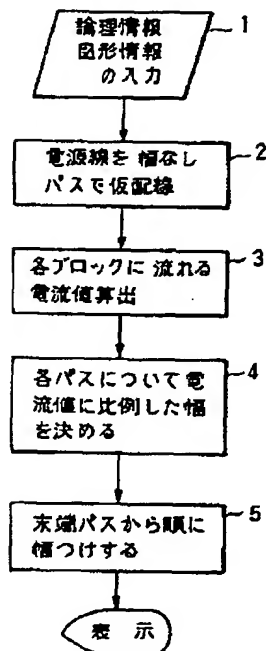
26: CPU

Vcc: 高位の電源

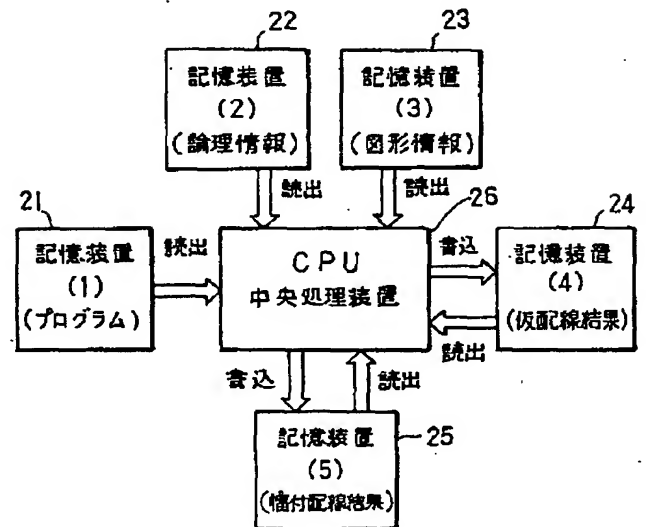
Vss: 低位の電源

a~h: 回路ブロック

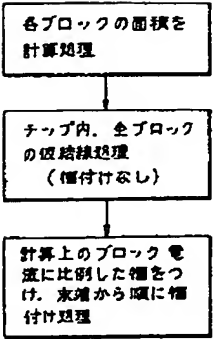
a'~h': 回路ブロック



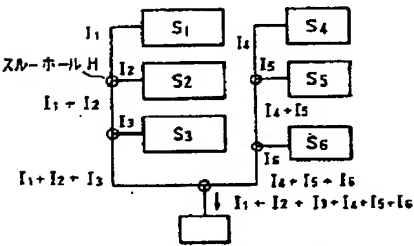
発明のフローチャート
第 1 図



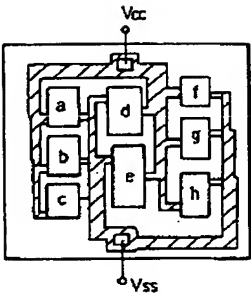
発明のブロック構成図
第 2 図



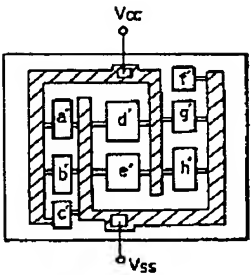
実施例の流れ図
第 3 図 A



実施例の計算と配線図
第 3 図 B



従来例 1 のパターン
第 4 図



従来例 2 のパターン
第 5 図